

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

Jc834 U.S. PTO
09/604301
06/26/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日
Date of Application:

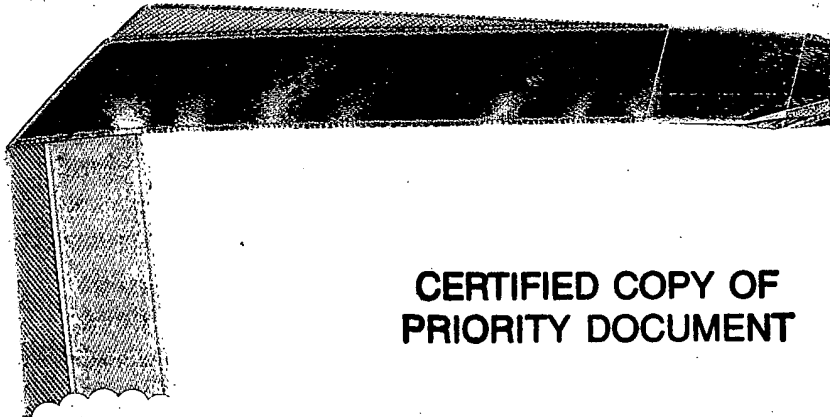
1999年 6月25日

出 願 番 号
Application Number:

平成11年特許願第179936号

出 願 人
Applicant(s):

三洋電機株式会社

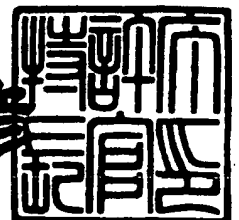


CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 5月12日

特 許 庁 長 官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3034498



【書類名】 特許願

【整理番号】 KHB0991048

【提出日】 平成11年 6月25日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 3/14

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式
会社内

【氏名】 筒井 雄介

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式
会社内

【氏名】 小林 貢

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式
会社内

【氏名】 北川 誠

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 近藤 定男

【代理人】

【識別番号】 100109368

【弁理士】

【氏名又は名称】 稲村 悦男

【連絡先】 電話 0 3 - 5 6 8 4 - 3 2 6 8 法務・知的財産部駐
在

【選任した代理人】

【識別番号】 100111383

【弁理士】

【氏名又は名称】 芝野 正雅

【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904451

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置の制御回路

【特許請求の範囲】

【請求項 1】 デジタル映像信号が入力され、これに基づいて表示装置の制御を行う制御回路であって、

前記デジタル映像信号を所定の規則に従って分割する分割部と、

該分割されたデジタル映像信号をそれぞれ記憶する複数のメモリ部と、

該メモリ部の出力を変換して、表示装置の制御信号を出力するドライバとを有し、

前記メモリ部は、前記分割されたデジタル映像信号がシリアルに入力される第 1 の記憶装置と、該第 1 の記憶装置の内容が平行に転送される第 2 の記憶装置とを有し、該第 2 の記憶装置の所定アドレスからシリアルに出力する構成であることを特徴とする表示装置の制御回路。

【請求項 2】 前記表示装置の画面を水平方向に複数領域に分割して制御し、

前記メモリ部を水平方向の分割数に応じた個数有することを特徴とする請求項 1 に記載の表示装置の制御回路。

【請求項 3】 前記メモリ部の個数は、前記画面を水平方向に分割する領域の数と、前記表示装置の表示原色数との積であって、

それぞれの前記メモリ部には、異なる領域もしくは異なる原色の前記デジタル映像信号が入力されることを特徴とする請求項 2 に記載の表示装置の制御回路。

【請求項 4】 前記第 1 の記憶装置もしくは／及び前記第 2 の記憶装置は、所定ワード数を有するラインメモリであることを特徴とする請求項 1 に記載の表示装置の制御回路。

【請求項 5】 前記ラインメモリは、前記表示装置の水平方向の画素数に応じたワード数を有し、

前記第 1 の記憶装置及び前記第 2 の記憶装置のワード数は等しいことを特徴とする請求項 4 に記載の表示装置の制御回路。

【請求項 6】 前記ラインメモリのワード数は、400であることを特徴と

する請求項 5 に記載の表示装置の制御回路。

【請求項 7】 前記ラインメモリのワード数は、5 1 2であることを特徴とする請求項 5 に記載の表示装置の制御回路。

【請求項 8】 前記デジタル映像信号は、各行のデータ毎に別れて入力され、
前記パラレル転送は、前記デジタル映像信号の各行のデータが入力される間に行われることを特徴とする請求項 1 に記載の表示装置の制御回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、例えば液晶表示装置 (Liquid Crystal Display ; LCD) のような、デジタル映像信号を基に各画素を制御して表示を行う表示装置の制御回路に関するものであり、特にデジタル映像信号を水平方向に多相分割して表示を行う表示装置の制御回路に関する。

【0 0 0 2】

【従来の技術】

以下に従来の表示装置の例として、アクティブマトリクス LCD の制御回路について説明する。図 1 2 は従来の LCD 及びその駆動回路のブロック図である。従来の駆動回路は、映像信号が入力されるドライバ 1 0 1、垂直方向に伸びる複数のデータ線 1 0 2、水平方向に伸びる複数のゲート線 1 0 3、データ線 1 0 2 のうちの一本を順に選択するデータ線セクタ 1 0 4、ゲート線 1 0 3 のうちの一本を順に選択し、これにゲート電圧を印加するゲートドライバ 1 0 5、データ線 1 0 2 とゲート線 1 0 3 の格子点にそれぞれ薄膜トランジスタ (Thin Film Transistor ; TFT) 1 0 6 と共に形成された画素電極 1 0 7、ドライバ 1 0 1 に接続された共通線 1 0 8、ゲートがデータ線セクタ 1 0 4 に接続された TFT 1 0 9 を有している。

【0 0 0 3】

ドライバ 1 0 1 にはデジタル信号である映像信号が外部から入力され、これを一時的に保存 (バッファ) して、デジタルアナログ変換 (DA 変換) するなどし

て、各画素の画素電極に印加する画素電圧を順次出力する。ゲートドライバ 1 0 5 は 1 水平走査期間毎に一本のゲート線 1 0 3 を選択してゲート電圧を印加し、その行の T F T 1 0 6 を導通状態にする。データ線セクタ 1 0 4 は複数接続された T F T 1 0 9 のうちの一つを選択し、データ線 1 0 2 のうちの一本をアクティブにして画素電圧をデータ線 1 0 4 に印加する。これによって、選択されたデータ線 1 0 2 とゲート線 1 0 3 の交点にある T F T 1 0 6 を介して、これに接続された画素電極に画素電圧が印加される。そして、シフトクロックがハイになると、データ線セクタ 1 0 4 は、次のデータ線 1 0 2 を選択し、これに画素電圧を印加する。以下同様に、データ線セクタ 1 0 4 は 1 水平走査期間の間に左端のデータ線から順に選択し、シフトクロックがハイになるたびに次の画素を選択していき、ドライバ 1 0 1 はそれぞれの画素に印加する画素電圧を順次出力する。

【 0 0 0 4 】

近年の L C D の表示画素数の増加と高精細化に伴って、1 水平走査期間の間に書き込まなければならない画素数が増加している。例えば V G A では水平方向の画素数は 6 4 0 画素であったが、S X G A では 1 2 8 0 画素と 2 倍になっている。この時、同じ垂直ライン数であれば 1 水平期間の長さは変化しないので、画素数が増加すると、シフトクロックの周波数は高くなり、ひとつの画素あたりに電圧を印加するのにかけられる時間は減少する。更に垂直ライン数が増加すると 1 水平期間そのものも短縮される。しかし、ドライバ 1 0 1 の動作速度には上限があり、また、液晶の応答速度にも上限がある。

【 0 0 0 5 】

これに対し、一行分の映像信号を複数に分割して複数の画素電極に並列して電圧印加する制御方法が提案されている。以下にこの例として映像信号を 2 相に分割する制御方法について説明する。

【 0 0 0 6 】

図 1 3 は 2 相に分割する L C D の制御回路のブロック図である。この制御回路は、マルチプレクサ 1 2 1 と 2 段ドライバ 1 2 2 を有し、データ線セクタ 1 2 3 は一度に 2 本のデータ線を選択するよう構成されている点が図 1 2 の制御回路

と異なる。

【0007】

外部より入力される映像信号は、マルチプレクサ121によって1画素毎交互に2相に分割されて2段ドライバ122に入力される。2段ドライバ122は2画素分のデータを同時に処理して2画素分の画素電圧を出力する。データ線セクタ123は隣り合うTF T109を同時に選択し、データ線102のうちの隣り合う2本を同時にアクティブにし、2つの画素電圧を同時に印加する。例えばデータ線セクタ123は、まず1列目と2列目のデータ線を選択する。2段ドライバ122は1列目と2列目の画素電圧を出力し、この画素電極に画素電圧が印加される。次に、シフトクロック2周期の後、データ線セクタ123は、3列目と4列目のデータ線を選択し、2段ドライバ122は3列目と4列目の画素電圧を出力する。以下、同様にして2画素ずつ電圧印加していく。このように、複数の画素電極に同時に電圧印加して制御することで、シフトクロック複数周期の間画素電圧を印加し続けることができ、画素数が増加しても画素電圧印加時間を十分に確保することができる。

【0008】

また、表示領域を水平方向にいくつかに分割して、複数の画素に並列して電圧印加する制御方法が提案されている。以下にこの例として表示領域を水平2分割する制御方法について説明する。

【0009】

図14は水平2領域に分割するLCDの制御回路のブロック図である。この制御回路は、マルチプレクサ131とメモリ部132、2段ドライバ133を有し、データ線セクタ134は一度に2本のデータ線を選択するよう構成されている点が図12の制御回路と異なる。

【0010】

外部より入力される1行分の映像信号は、マルチプレクサ131に入力される。マルチプレクサ131は、映像信号のうち前半のデータ、即ち画面左半分のデータをメモリ部132に出力し、メモリ部132はこれを一時的に保存する。メモリ部132は、後半のデータ即ち画面右側半分のデータに同期して前半のデー

タを2段ドライバ133に出力する。2段ドライバ133は前半、後半それぞれのデータを基に、画素電圧V1及びV2を出力する。

【0011】

データ線セクタ134はデータ線135のうちの2本を同時に選択し、2つの画素電圧を同時に印加する。例えばデータ線セクタ123は、まず1列目と右半分の最初のデータ線、例えば水平800画素のLCDであれば401列目のデータ線134aを選択する。2段ドライバ122は1列目と401列目の画素電圧を出力し、この画素電極に画素電圧が印加される。次にデータ線セクタ134は、2列目と402列目のデータ線を同時に選択し、2段ドライバ133は2列目と402列目の画素電圧を出力する。以下、同様にして2画素ずつ電圧印加していく。この制御方法によっても、同様に複数の画素電極に同時に電圧印加して制御することで、シフトクロック複数周期の間画素電圧を印加し続けることができ、画素数が増加しても画素電圧印加時間を十分に確保することができる。

【0012】

このように、映像信号を多相に分割して、複数の画素に同時に画素電圧を印加することによって、画素数が増加しても画素電圧の印加時間を確保することができるようになる。

【0013】

【発明が解決しようとする課題】

上述したような、様々な駆動方法や、様々な画素数の表示装置に対応するために、それぞれ別個の制御回路が製造されている。しかしながら、それぞれの駆動方法や画素数毎に異なる制御回路を生産すると、ひとつひとつの種類の制御回路は、生産量が少なくなり、結果としてそれぞれの制御回路の製造コストが高くなるという問題が生じる。

【0014】

本発明は、上述したような水平複数領域に分割してLCDを駆動する制御回路であって、動作が効率的で、かつ汎用性に富んだ制御回路を提供することをその目的とする。

【0015】

【課題を解決するための手段】

本発明は上記課題を解決するためになされ、デジタル映像信号が入力され、これに基づいて表示装置の制御を行う制御回路であって、デジタル映像信号を所定の規則に従って分割する分割部と、分割されたデジタル映像信号をそれぞれ記憶する複数のメモリ部と、メモリ部の出力を変換して、表示装置の制御信号を出力するドライバとを有し、メモリ部は、分割されたデジタル映像信号がシリアルに入力される第 1 の記憶装置と、第 1 の記憶装置の内容が平行にに転送される第 2 の記憶装置とを有し、第 2 の記憶装置の所定アドレスからシリアルに出力する表示装置の制御回路である。

【0016】

また、表示装置の画面を水平方向に複数領域に分割して制御し、メモリ部を水平方向の分割数に応じた個数有する。

【0017】

また、メモリ部の個数は、画面を水平方向に分割する領域の数と、表示装置の表示原色数との積であって、それぞれのメモリ部には、異なる領域もしくは異なる原色のデジタル映像信号が入力される。

【0018】

また、第 1 の記憶装置もしくは／及び第 2 の記憶装置は、所定ワード数を有するラインメモリである。

【0019】

また、ラインメモリは、表示装置の水平方向の画素数に応じたワード数を有し、第 1 の記憶装置及び第 2 の記憶装置のワード数は等しい。

【0020】

そして、ラインメモリのワード数は、400もしくは512である。

【0021】

また、デジタル映像信号は、各行のデータ毎に別れて入力され、平行転送は、デジタル映像信号の各行のデータが入力される間に行われる。

【0022】

【発明の実施の形態】

まず、第 1 の実施形態として水平 8 0 0 画素の S V G A パネルを、水平 2 領域分割で単相の、合計 2 相分割で制御する制御回路について説明する。図 1 (a)、図 1 (b) は水平 2 領域 2 相分割を行うための制御回路のブロック図である。本実施形態の制御回路は、入力信号を水平走査期間の前半と後半とに 2 分割する分割部としての第 1 のマルチプレクサ 1、前半の信号が入力される第 1 のメモリ部 2、後半の信号が入力される第 2 のメモリ部 3、第 1、第 2 のメモリ部それぞれの出力を統合して出力する第 2 のマルチプレクサ 4、2 つの信号が同時に入力され、これをバッファ、デジタルアナログ変換を行う 2 段ドライバ 5 を有する。

【 0 0 2 3 】

第 1、第 2 のメモリ部 2、3 はそれぞれシリアルで入力される第 1 の記憶装置としての書き込みラインメモリ 2 a、3 a と、書き込みラインメモリのデータが平行に入力され、シリアルで出力する第 2 の記憶装置としての読み出しラインメモリ 2 b、3 b を有する。

【 0 0 2 4 】

映像信号がマルチプレクサ 1 に入力されると、マルチプレクサ 1 は 1 行分の映像信号のうち、各水平走査期間の前半の信号、即ち画面左半分の第 1 の領域に表示される 4 0 0 画素分の映像信号を第 1 のメモリ部 2 の書き込みラインメモリ 2 a に順次出力する。書き込みラインメモリは、4 0 0 ワードの容量を有するラインメモリであり、入力信号はまず 1 番のアドレスに書き込まれる。本明細書において、ラインメモリとは、所定数の記憶領域が直列して配置されているものを指す。そして、次の信号が入力されると、1 番のアドレスに書き込まれた信号は、隣の 2 番のアドレスに転送され、換わって次の信号が 1 番のアドレスに書き込まれる。以下同様に、新たに信号が入力される度に記憶された信号は次の番号のアドレスに転送されていく、シリアル入力がなされる。4 0 0 画素分の映像信号が入力されると、書き込みラインメモリ 2 a の記憶領域は全て書き込まれる。次に、マルチプレクサ 1 に水平走査期間の後半の信号、即ち画面右半分の第 2 の領域に表示される 4 0 0 画素分の映像信号が入力され始め、マルチプレクサ 1 は、これを第 2 のメモリ部 3 の書き込みラインメモリ 3 a にシリアルに順次出力する。書き込みラインメモリ 2 a、3 a にそれぞれ 4 0 0 画素分の信号が入力され、4

00番のアドレスまで信号が入力されると、書き込みラインメモリ2a、3aは、全ての記憶内容を読み出しラインメモリ2b、3bに平行に転送する。読み出しラインメモリ2bは書き込みラインメモリ2aと同じワード数（本実施形態では400ワード）を有し、書き込みラインメモリ2aのそれぞれのアドレスは、読み出しラインメモリ2bの同じ番号のアドレスに接続されており、各アドレスを同時に転送する。この転送は水平ブランキング期間の間に行われ、転送が終了した後、次の行の映像信号がマルチプレクサ1に入力され始めると、同様の処理を繰り返す。

【0025】

一方、読み出しラインメモリ2b、3bに記憶されたデータは、それぞれの第400アドレスのデータがA-Out1、B-Out1の出力端子からマルチプレクサ4に出力され、シリアルに2段ドライバ5に入力される。Out-1（ここで、Out-1とは、A-Out1とB-Out1との総称であるとする。）は400アドレスに接続された出力端子である。ドライバは、メモリ部から出力されたデータを基に表示装置の制御信号を生成する回路である。第400アドレスのデータが出力されることによって第1～第399のアドレスのデータはひとつずつ次の番号のアドレスに転送される。2段ドライバ5は2画素分のデータをバッファして、デジタルアナログ変換を行う等して、A-Out1の出力に従う電圧V1を、B-Out1の出力に従う電圧V2をそれぞれ制御信号として、選択された画素電極に出力する。

【0026】

図2は水平2領域2相分割のLCDを示している。データ線セクタ11は800本の出力端子のうち2つをハイにし、縦方向に伸びるデータ線12のうちの2本を同時に選択するセクタである。ゲートドライバ13は複数のゲート線14のうちの1本を選択し、これにゲート電圧を印加するドライバである。今、ゲート線14aと、データ線12a、12Aが選択されているとする。今、V1とV2は、それぞれのラインメモリの第1アドレスに記憶されていたデータである。図1の制御回路の出力V1は、データ線12aを介して1列目の画素（以降n列目の画素を画素nと表記する場合がある）に印加され、もう一つの出力V2はデータ線12Aを介して画素401に印加される。

【0027】

次に、シフトクロック2周期の後、再び読み出しラインメモリ2b、3bの第400アドレスのデータを読み出し、ドライバ5に入力する。この時第400アドレスに書き込まれているデータは、パラレル転送直後には第399アドレスに書き込まれていたデータである。そして、第400アドレスのデータが読み出されることによって、第2～第399のアドレスのデータがひとつ転送される。出力された第400アドレスのデータに基づいて再びV1、V2がドライバ5から出力される。図2で、データ線セクタ11は、シフトクロック2周期の後、データ線12b及び12Bに切り換えて選択している。これによって、2列目と402列目の画素に電圧が印加される。

【0028】

以下同様にして、3列目と403列目、4列目と404列目のように電圧印加していき、400列目と800列目の画素に電圧が印加されると1行の電圧印加が終了する。その後、水平同期信号が出力されてゲートドライバが次の行のゲート線14bを選択して書き込みを継続する。

【0029】

次に、第1の実施形態におけるメモリ部2、3の役割について述べる。映像信号は連続的に図1の制御回路に入力される。これを画面を左右2つの領域に分割して電圧印加するために、メモリ部2、3に一時的に保存することによって、1列目の画素と401列目の画素に印加するデータを同時にドライバ5に出力することができるのである。また、書き込みラインメモリにはシリアルに入力し、読み出しラインメモリにはパラレルに転送するので、データの書き込みに関して遅延なく行うことができる。

【0030】

次に、図3のタイミング図を用いて読み出しラインメモリ2b、3bからの読み出し動作をより具体的に説明する。まずタイミングAまでで、書き込みラインメモリ2a、3aから読み出しラインメモリ2b、3bへのパラレル転送が完了しており、読み出しラインメモリ2b、3b合わせて1水平ライン分の画素データが記憶されているとする。タイミングAでシフトクロックがハイになると読み

出しラインメモリ 2 b に入力される 2 b 読み出しクロックがハイになる。すると読み出しラインメモリ 2 b は画素 1 のデータを出力する。この時、メモリ選択信号はハイになっており、図 1 のマルチプレクサ 4 は読み出しラインメモリ 2 b の出力を選択しており、マルチプレクサ 4 からは画素 1 のデータが出力される。次に一旦ローとなったシフトクロックが再びハイになるタイミング B において、読み出しラインメモリ 3 b に入力される 3 b 読み出しクロックがハイになる。すると読み出しラインメモリ 3 b は画素 4 0 1 のデータを出力する。メモリ選択信号はタイミング B でローになっており、マルチプレクサ 4 は読み出しラインメモリ 3 b を選択し、このデータを出力する。次に一旦ローとなったシフトクロックが再びハイになるタイミング C において、2 b 読み出しクロックがハイになり、同様にマルチプレクサ 4 からは画素 2 のデータが出力される。また、制御電圧 V 1 として画素 1、V 2 として画素 4 0 1 のデータに応じた電圧がドライバ 5 より出力される。V 1、V 2 の出力は、シフトクロック 2 周期の間継続して出力される。以下、図 3 に図示したように、同様に読み出し動作が継続する。

【 0 0 3 1 】

次に第 2 の実施形態として水平 1 6 0 0 画素の U X G A パネルを、水平 4 領域分割で单相の、合計 4 相分割で制御する制御回路について説明する。図 4 (a) と図 4 (b) は水平 4 領域 4 相分割を行うための制御回路のブロック図である。映像信号を 4 分割する第 1 のマルチプレクサ 2 1、分割された映像信号がそれぞれ入力される第 1 ～第 4 のメモリ部 2 2、2 3、2 4、2 5、各メモリ部それぞれの出力を統合して出力する第 2 のマルチプレクサ 2 6、これをバッファ、デジタルアナログ変換を行う 4 段ドライバ 2 7 を有する。各メモリ部は図 1 のメモリ部 2、3 と同様の構成である。

【 0 0 3 2 】

映像信号が入力されるとマルチプレクサ 2 1 は最初の 4 0 0 画素分、即ち画面左 1 / 4 の第 1 の領域の映像信号を第 1 のメモリ部 2 2 に、次の 4 0 0 画素分、即ち画面中央左側の第 2 の領域の映像信号を第 2 のメモリ部 2 3 に、次の 4 0 0 画素分、即ち画面中央右側の第 3 の領域の映像信号を第 3 のメモリ部 2 4 に、次の 4 0 0 画素分、即ち画面右 1 / 4 の第 4 の領域の映像信号を第 4 のメモリ部 2

5にそれぞれ分割して出力する。各書き込みラインメモリ 2 2 a、2 3 a、2 4 a、2 5 a それぞれにシリアル入力され、水平ブランキング期間中にこれを読み出しラインメモリ 2 2 b、2 3 b、2 4 b、2 5 b に平行転送する。それぞれの第 1 アドレスのデータが A-Out、B-Out、C-Out、D-Out の出力端子から順次マルチプレクサ 2 6 に出力され、シリアルに 4 段ドライバ 2 7 に入力される。4 段ドライバ 2 7 は 4 画素分のデータをバッファして、デジタルアナログ変換を行う等して画素電極に印加する電圧 V 1、V 2、V 3、V 4 を出力する。

【0 0 3 3】

図 5 は水平 4 領域 4 相分割の LCD を示している。データ線セクタ 1 5 は 1 6 0 0 本のデータ線のうち 4 本を同時に選択するセクタである。ゲートドライバ 1 3 はゲート線 1 4 のうちの 1 本を選択し、これにゲート電圧を印加するドライバである。今、ゲート線 1 4 a と、4 本のデータ線 1 2 a が選択されているとする。図 1 の制御回路が出力した制御信号である画素電圧 V 1 は、データ線 1 2 a を介して 1 列目の画素に、出力 V 2 は 4 0 1 列目の画素に、V 3 は 8 0 1 列目の画素に、V 4 は 1 2 0 1 列目の画素にそれぞれ印加される。

【0 0 3 4】

次に、図 4 のマルチプレクサ 2 6 は、再び読み出しラインメモリ 2 2 b、2 3 b、2 4 b、2 5 b の第 4 0 0 アドレスのデータ（平行転送直後には第 3 9 9 アドレスに書き込まれていたデータである）を読み出し、4 段ドライバ 2 7 に入力する。図 5 で、データ線セクタ 1 5 は、シフトクロック 4 周期の後、4 本のデータ線 1 2 b に切り換えて選択している。これによって、画素 2、画素 4 0 2、画素 8 0 2、画素 1 2 0 2 に電圧が印加される。

【0 0 3 5】

以下同様にして、電圧印加していき、画素 4 0 0、画素 8 0 0、画素 1 2 0 0、画素 1 6 0 0 に電圧が印加されると 1 行の電圧印加が終了する。その後、水平同期信号が出力されてゲートドライバが次のゲート線 1 4 b を選択して書き込みを継続する。

【0 0 3 6】

次に第 3 の実施形態として水平 8 0 0 画素の S V G A パネルを、水平 2 領域分

割で 3 相の、合計 6 相分割で制御する制御回路について説明する。図 1 (a)、図 1 (c) は水平 2 領域 6 相分割を行うための制御回路のブロック図である。読み出しラインメモリからのデータ出力の方法と、6 段ドライバ 7 を有する点とが第 1 の実施形態と異なる。

【 0 0 3 7 】

映像信号がマルチプレクサ 1 に入力されると、第 1 の実施形態と同様にして書き込みラインメモリ 2 a に水平走査期間の前半の、書き込みラインメモリ 3 a に後半の映像信号がそれぞれ記憶され、それぞれ読み出しラインメモリ 2 b、3 b に平行に転送される。マルチプレクサ 6 は、読み出しラインメモリ 2 b の第 1 から第 3 アドレスのデータをシリアルに読み出し、続いて読み出しラインメモリ 3 b の第 1 から第 3 アドレスのデータをシリアルに読み出して 6 段ドライバ 7 に出力する。6 段ドライバ 7 は入力された 6 画素分のデータを基に画素電圧 $V_1 \sim V_6$ を生成し、出力する。

【 0 0 3 8 】

図 6 は水平 2 領域 6 相分割の LCD を示している。データ線セクタ 1 6 は 8 0 0 本のデータ線のうちの 6 本を同時に選択するセクタである。ゲートドライバ 1 3 は複数のゲート線 1 4 のうちの 1 本を選択し、これにゲート電圧を印加するドライバである。今、ゲート線 1 4 a と、出力端子 1 2 a、1 2 A に接続された 6 本のデータ線が選択されているとする。図 1 (c) の制御回路が出力した V_1 、 V_2 、 V_3 はそれぞれデータ線 1 2 a を介して 1、2、3 列目の画素に、 V_4 、 V_5 、 V_6 はデータ線 1 2 A を介して 4 0 1、4 0 2、4 0 3 列目の画素に印加される。

【 0 0 3 9 】

次に、図 1 (c) のマルチプレクサ 6 は、再び読み出しラインメモリ 2 b、3 b の第 1 ～第 3 アドレスのデータ（平行転送直後には第 4 ～第 6 アドレスに書き込まれていたデータ）を読み出し、6 段ドライバ 7 に入力され、これに基づいて再び $V_1 \sim V_6$ がドライバ 7 から出力される。図 6 で、データ線セクタは、シフトクロック 6 周期の後、データ線 1 2 b 及び 1 2 B に切り換えて選択している。これによって、4、5、6 列目と 4 0 4、4 0 5、4 0 6 列目の画素に電

圧が印加される。

【0040】

以下同様にして電圧印加していき、400列目と800列目の画素に電圧が印加されると1行の電圧印加が終了する。その後、水平同期信号が出力されてゲートドライバが次のゲート線14bを選択して書き込みを継続する。

【0041】

次に、図7のタイミング図を用いて読み出しラインメモリ2b、3bからの読み出し動作をより具体的に説明する。まずタイミングAまでで、書き込みラインメモリ2a、3aから読み出しラインメモリ2b、3bへのパラレル転送が完了しており、読み出しラインメモリ2b、3b合わせて1水平ライン分の画素データが記憶されているとする。タイミングA、B、Cでシフトクロックがハイになると、読み出しラインメモリ2bに入力される2b読み出しクロックがこれに同期してそれぞれのタイミングでハイになる。すると読み出しラインメモリ2bは画素1、2、3のデータを順次出力する。この間、メモリ選択信号は継続的にハイになっており、図1(c)のマルチプレクサ6は読み出しラインメモリ2bの出力を選択しており、マルチプレクサ6からは画素1、2、3のデータが順次出力される。次にシフトクロックがハイになるタイミングD、E、Fにおいて、読み出しラインメモリ3bに入力される3b読み出しクロックがこれに同期してそれぞれのタイミングでハイになる。すると読み出しラインメモリ3bは画素401、402、403のデータを出力する。この間、メモリ選択信号は継続的にローになっており、マルチプレクサ6は読み出しラインメモリ3bを選択し、このデータを出力する。次にタイミングGにおいて、2b読み出しクロックがハイになり、同様にマルチプレクサ6からは画素4のデータが出力される。また、図示しないが、タイミングGからは、制御電圧V1、V2、V3、V4、V5、V6として画素1、2、3、401、402、403のデータに応じた電圧がドライバ7より出力される。V1～V6の出力は、シフトクロック6周期の間継続して出力される。以下、同様に読み出し動作が継続する。

【0042】

ところで、LCDの水平画素数は、上記以外にも、水平640画素のVGAや

、水平 1 0 2 4 画素の X G A 等画素数の異なるものがある。これらひとつひとつに異なる画素数の L C D を制御するためには、書き込み及び読み出しラインメモリのワード数（アドレスの総数）をその画素数にあわせて形成すればよい。つまり、V G A で水平 2 領域に分割制御するのであれば、ラインメモリのワード数はその $1/2$ の 3 2 0 ワード、X G A で水平 4 領域に分割制御するのであれば、その $1/4$ の 2 5 6 ワードとすればよいのである。

【 0 0 4 3 】

しかし、それら画素数の異なる L C D ごとに制御回路をつくると、ひとつひとつの生産量が少なくなり、それぞれの制御回路の製造コストが高くなる。制御回路に汎用性を持たせ、異なる画素数の L C D に対して同じ制御回路を用いてこれを制御できれば、制御回路の生産量が多くなり、製造コストを抑制することができる。

【 0 0 4 4 】

このために、図 1 の読み出しラインメモリはそれぞれ第 2、第 3 の出力端子 Out2、Out3 を有している。（ここで例えば Out1 は、A-Out1 と B-Out1 の総称である。） Out1 ~ Out3 の出力端子は、その出力端子が接続されているアドレスより小さい番号のアドレスのデータをシリアルに出力する。そして、図 1（d）に示すように、マルチプレクサ 4 と読み出しラインメモリ 2 b、3 b との間にセクタ 8 a、8 b を設け、各出力端子のうちのひとつを選択し、アクティブにする。マルチプレクサは入力されるデータを統合し、ドライバは上述した 2 段、6 段、もしくはそれ以外の段数のドライバである。セクタ 8 a、8 b は L C D に組み込まれる前に、組み込まれる L C D の画素数や制御方法にあわせて何れか一つの出力端子を選択するように設定される。

【 0 0 4 5 】

第 1 の出力端子 Out 1 は上述した実施形態の出力端子として用いる出力端子であって、ラインメモリ 2 b、3 b の 4 0 0 ワード全てを使用する場合の出力端子である。第 1 の実施形態のように、水平 8 0 0 画素の S V G A を水平 2 領域分割する場合や、第 2 の実施形態のように、水平 1 6 0 0 画素の U X G A を水平 4 領域分割する場合は出力端子 Out 1 を用いる。

【0046】

第2の出力端子Out2は、ラインメモリの第320アドレスより出力する。即ちこの場合に用いるラインメモリのワード数は320ワードであり、第321アドレスから第400アドレスまでのメモリ領域は使用しない。水平640画素のVGAを水平2領域分割する場合や、水平1280画素のSXGAを水平4領域分割する場合には出力端子Out2を用いる。

【0047】

第3の出力端子Out3は、ラインメモリの第256アドレスより出力する。即ち、この場合に用いるラインメモリのワード数は256ワードであり、第257アドレスから第400アドレスまでのメモリ領域は使用しない。水平1024画素のXGAを水平4領域分割する場合には出力端子Out3を用いる。

【0048】

出力端子の位置は上記の例に限らない。例えば800画素のSVGAを水平4領域分割するのであれば必要なワード数は200ワードであるので、この場合は第200アドレスに出力端子を設ける。その他、必要性が想定される全てのアドレスに出力端子を設けておけばよい。

【0049】

また、ラインメモリの総ワード数は400ワードに限るものではない。例えばXGAを水平2領域分割する場合にはラインメモリの総ワード数は512ワードが必要である。このためには総ワード数が512ワードのラインメモリが必要である。そして、この途中に同様の出力端子を複数設ければよい。

【0050】

出力端子を設ける位置は、必要に応じて任意のアドレスに接続すればよいが、例えばSXGAの1/4と、VGAの1/2とは同じ320であるし、UXGAの1/4と、SVGAの1/2とは同じ400である。また、コンピュータなどで映像信号を処理する場合、256画素がひとつの目安となる。つまり、現在の表示装置の規格は、256、320、400のいずれかの倍数であることが多く、今後もそれが踏襲されると考えられる。従って、256、320、400画素分のデータを記憶できるだけのワード数を備えるようなアドレスに出力端子を設

けることによって、様々な水平画素数の表示装置に対応できる可能性が高くなり、より汎用性の高い制御回路とすることができる。本明細書においてラインメモリのワード数を400とした意義はこの点にある。即ち、400ワードをラインメモリのワード数としておけば、上述の256、320、400画素のいずれの画素数にも柔軟に対応することができる。また、256の倍、512画素を単位として画素数が設定されることもしばしばある。従って、ラインメモリのワード数は例えば512とすれば、上記のいずれの画素数にも対応できる。ただし言うまでもなく、ワード数を増やせばそれだけ回路面積が増大することになるため、ラインメモリのワード数は必要最小限にとどめておくほうがよい。

【0051】

また、セクタ8a、8bを設ける代わりに、不要な出力端子をレーザ照射などによって破壊してもよい。

【0052】

ところで、図8(a)に示すように、水平2領域分割すると、それぞれ左端の画素から順に電圧を印加する。(以下左から右へ順にスキャンする方向を正スキャン、右から左を逆スキャンと呼ぶ。)2つの領域で正スキャンを行うと左領域は画面中央の画素に最後に、逆に右領域は画面中央の画素に最初に電圧を印加する。この印加時間差によって画面中央に輝度差が生じ、表示品質を低下させる。そこで図8(b)や図8(c)に示すように左右どちらかの領域を逆スキャンすることによって画面中央を同じタイミングで電圧印加すると、この輝度差が現れなくなる。

【0053】

このために、図1(a)の読み出しラインメモリはそれぞれOut4を有している。Out4は、読み出しラインメモリの1番目のアドレスから出力する出力端子である。Out4からの出力は、Out1~Out3とは逆に、1番目のアドレスから逆順にシリアルに出力される。そして、図1(d)のセクタ8a、8bがOut1~Out4いずれかの出力端子を選択する。セクタ8a、8bがOut4を選択した場合、それに応じてデータ線セクタは、逆順に画素を選択する。

【0054】

水平 2 領域で 3 相の 6 相分割の LCD の制御を例に、図 1 (a) (d)、図 9 を用いて説明する。今、セクタ 8 a は A-Out1 を、セクタ 8 b は B-Out4 をそれぞれ選択しているとする。映像信号がマルチプレクサ 1 に入力されると、第 1 の実施形態と同様にして書き込みラインメモリ 2 a に前半の、書き込みラインメモリ 3 a に後半の映像信号が記憶され、それぞれ読み出しラインメモリ 2 b、3 b に転送される。マルチプレクサ 9 は、それぞれの読み出しラインメモリ 2 b、3 b から 3 画素分のデータをそれぞれ読み出す。ここで、読み出しラインメモリ 2 b からは、第 4 0 0、3 9 9、3 9 8 番目のアドレスのデータが読み出され、読み出しラインメモリ 3 b からは、第 1、2、3 番目のデータが読み出される。これらのデータを基にドライバ 1 0 が順に V 1 ~ V 6 の画素電圧を生成し、図 9 の LCD に出力する。データ線セクタ 1 6' は、左端及び右端の 1 2 a、1 2 A に接続された 6 本のデータ線を選択している。これによって、1 2 a に接続された 3 本のデータ線を介して読み出しラインメモリ 2 b の第 4 0 0、3 9 9、3 9 8 番目のアドレスのデータから生成された V 1、V 2、V 3 が、それぞれ 1、2、3 列目の画素電極に印加される。また、1 2 A に接続された 3 本のデータ線を介して、読み出しラインメモリ 3 b の第 1、2、3 番目のアドレスのデータから生成された V 6、V 5、V 4 が、それぞれ 8 0 0、7 9 9、7 9 8 列目の画素電極に印加される。

【0 0 5 5】

そして、シフトクロック 6 周期の後、再び読み出しラインメモリ 2 b の第 4 0 0、3 9 9、3 9 8 番目のアドレスのデータ（パラレル転送直後は 3 9 7、3 9 6、3 9 5 番目のアドレス）と、読み出しラインメモリ 3 b の第 1、2、3 番目のアドレスのデータ（同 4、5、6 番目）が読み出され、これらを基に生成された画素電圧が、1 2 b 及び 1 2 B に接続された 6 本のデータ線を介して、4、5、6、8 9 7、8 9 6、8 9 5 列目の画素電極に印加される。

【0 0 5 6】

以下同様に繰り返すことで、図 8 (c) の表示制御を行うことができる。

【0 0 5 7】

図 8 (b) の表示制御は、図 1 (d) のセクタ 8 a が A-Out4 を、セクタ 8

b が B-Out1 をそれぞれ選択すれば、ほぼ同様にして行うことができる。

【0058】

次に、図10のタイミング図を用いて、逆スキャンを行う場合の読み出しラインメモリ2b、3bからの読み出し動作をより具体的に説明する。まずタイミングAまでで、書き込みラインメモリ2a、3aから読み出しラインメモリ2b、3bへのパラレル転送が完了しており、読み出しラインメモリ2b、3b合わせて1水平ライン分の画素データが記憶されているとする。タイミングA、B、Cでシフトクロックがハイになると、読み出しラインメモリ2bに入力される2b読み出しクロックがこれに同期してそれぞれのタイミングでハイになる。すると読み出しラインメモリ2bは画素1、2、3のデータを順次出力する。この間、メモリ選択信号は継続的にハイになっており、図1(d)のマルチプレクサ9は読み出しラインメモリ2bの出力を選択しており、マルチプレクサ9からは画素1、2、3のデータが順次出力される。次にタイミングD、E、Fにおいて、読み出しラインメモリ3bに入力される3b読み出しクロックがこれに同期してそれぞれのタイミングでハイになる。すると読み出しラインメモリ3bは画素800、799、798のデータを出力する。この間、メモリ選択信号は継続的にローになっており、マルチプレクサ6は読み出しラインメモリ3bを選択し、このデータを出力する。次にタイミングGにおいて、2b読み出しクロックがハイになり、同様にマルチプレクサ6からは画素4のデータが出力される。また、図示しないが、タイミングGからは、制御電圧V1、V2、V3、V4、V5、V6として画素1、2、3、800、799、798のデータに応じた電圧がドライバ7より出力される。V1～V6の出力は、シフトクロック6周期の間継続して出力される。以下、同様に読み出し動作が継続する。

【0059】

本実施形態のポイントとしては、セレクト8a、8bの選択を変えるだけで制御回路の大幅な変更をすることなく逆スキャンを行うLCDを制御できるようにすることができる点にある。従って、逆スキャンを行うLCDとそうでないLCDとで同じ制御回路を用いることができ、製造コストを抑制できる。

【0060】

ところで、デジタルビデオカメラなどの電子ビューファインダ (Electrical View Finder ; EVF) 等は、撮影者自身を撮影するために、EVFを反転させて、撮影レンズ側にEVFの表示領域を向けることができるものがある。この時のEVFの表示は、左右を反転させた鏡像とするものが主流である。図1 (a) と図1 (d) に示した本発明のLCD制御回路によれば、このような鏡像表示にも対応することができる。以下に鏡像表示の制御動作について説明する。

【0061】

映像信号がマルチプレクサ1に入力されると、第1の実施形態と同様にして書き込みラインメモリ2aに前半の、書き込みラインメモリ3aに後半の映像信号が記憶され、それぞれ読み出しラインメモリ2b、3bに転送される。今、セレクタ8aはA-Out1を、セレクタ8bはB-Out4をそれぞれ選択している。マルチプレクサ9はまずセレクタ8bの出力から先に読み込み、次にセレクタ8aの出力を読み込む。従って、データは、読み出しラインメモリ2bの第400、399、398アドレスのデータ、読み出しラインメモリ3bの第1、2、3アドレスのデータの順に読み出される。そして、これらデータを基に、順にV1～V6の画素電圧を生成する。これを図9のLCDに印加する。最初、上記と同様に12a、12Aの6本のデータ線が選択されている。そして、第1、2、3、798、799、800列目のそれぞれの画素電極には、順に読み出しラインメモリ2bの第400、399、398アドレスのデータ、読み出しラインメモリ3bの第3、2、1アドレスのデータを基に生成された画素電圧が印加される。

【0062】

次に12b、12Bに接続された6本のデータ線を介して、第4、5、6、797、796、795列目の画素電極に順に読み出しラインメモリ2bの第400、399、398アドレス (パラレル転送直後は397、396、395アドレス) のデータ、読み出しラインメモリ3bの第3、2、1アドレス (同6、5、4アドレス) のデータを基に生成された画素電圧が印加される。以下同様にして印加することによって、鏡像表示の制御を行うことができる。

【0063】

通常表示と鏡像表示の切り替えは、例えばEVFを回転させたときに鏡像を表

示するための鏡像信号を出力ような出力回路を設けておき、これに応じて制御回路の動作も切り替えるようにしておく。

【0064】

次に、図11のタイミング図を用いて、鏡像表示を行う場合の読み出しラインメモリ2b、3bからの読み出し動作をより具体的に説明する。図10のタイミング図とは、読み出しクロック2b、3bが入れ替わり、メモリ選択信号の位相が逆転している点で異なっている。まずタイミングAまでで、書き込みラインメモリ2a、3aから読み出しラインメモリ2b、3bへの平行転送が完了しており、読み出しラインメモリ2b、3b合わせて1水平ライン分の画素データが記憶されているとする。タイミングA、B、Cでシフトクロックがローになると、読み出しラインメモリ3bに入力される3b読み出しクロックがこれに同期してそれぞれのタイミングでハイになる。すると読み出しラインメモリ3bは画素800、799、798のデータを順次出力する。この間、メモリ選択信号は継続的にローになっており、図1(d)のマルチプレクサ9は読み出しラインメモリ3bの出力を選択しており、マルチプレクサ9からは画素800、799、798のデータが順次出力される。次にタイミングD、E、Fにおいて、読み出しラインメモリ2bに入力される2b読み出しクロックがこれに同期してそれぞれのタイミングでハイになる。すると読み出しラインメモリ2bは画素1、2、3のデータを出力する。この間、メモリ選択信号は継続的にハイになっており、マルチプレクサ9は読み出しラインメモリ2bを選択し、このデータを出力する。次にタイミングGにおいて、3b読み出しクロックがハイになり、同様にマルチプレクサ9からは画素797のデータが出力される。また、図示しないが、タイミングGからは、制御電圧V1、V2、V3、V4、V5、V6として画素800、799、798、1、2、3のデータに応じた電圧がドライバ10より出力される。V1～V6の出力は、シフトクロック6周期の間継続して出力される。以下、同様に読み出し動作が継続する。

【0065】

以上の説明は、理解しやすくするために、それぞれの駆動方法毎に分けて説明したが、それぞれの駆動方法を組み合わせて実施した、ひとつの制御回路とする

ことによって、

①様々な画素数

②逆スキャン

③鏡像表示

のいずれの表示方法に対してもひとつの制御回路によって対応することができる。即ち、例えば図 1 (b) の制御回路はセクタ 8 a、8 b を省略し、ドライバ 5 は 3 段目以降の端子を用いない多段ドライバ 1 0 である。

【0 0 6 6】

また、以上の説明は、理解しやすくするために、モノクロームの表示装置で説明したが、もちろんカラーの表示装置にも適用できる。この場合は、分割する領域の数とカラー表示の原色の数の積だけメモリ部が必要となる。例えば RGB の 3 色のデータがあって、水平 2 領域に分割表示する場合、2 組のメモリ部を 3 色分、即ち合計 6 組のメモリ部が必要となる。

【0 0 6 7】

なお、上記の実施形態では、表示装置の例として LCD を用いて説明したが、この限りではない。例えば有機 EL (Electro Luminescence) 素子を用いた表示装置であれば、制御信号は、「各画素電極に印加する電圧 V 1」ではなく、「各画素の有機 EL 素子に印加する電圧」であるし、陰極線管 (CRT ; Cathode Ray Tube) を用いた表示装置であれば、「電子加速電圧」などのように読み換えて、様々な表示装置の制御回路として用いることができる。

【0 0 6 8】

【発明の効果】

上述したように、本発明によれば、シリアルに入力される第 1 の記憶装置と、その記憶内容がパラレルに転送される第 2 の記憶装置を備え、第 2 の記憶装置の所定アドレスからシリアルに出力するメモリ部を有するので、様々な制御方法の LCD に対応することができる。従って、様々な LCD に同じ制御回路を流用できるため、制御回路の製造コストを低く抑えることができる。

【0 0 6 9】

また、パラレル転送は、デジタル映像信号の各行のデータが入力される間に行

われるので、パラレル転送に伴って生じる可能性のある信号ノイズが画面表示に影響を与えることを防止することができる。

【図面の簡単な説明】

【図 1】

本発明の制御回路を示すブロック図である。

【図 2】

水平 2 領域単相表示の表示装置を示す図である。

【図 3】

本発明の制御回路のデータ出力のタイミングチャートである。

【図 4】

本発明の別の実施形態を示すブロック図である。

【図 5】

水平 4 領域単相表示の表示装置を示す図である。

【図 6】

水平 2 領域 3 相表示の表示装置を示す図である。

【図 7】

本発明の制御回路のデータ出力のタイミングチャートである。

【図 8】

逆スキャンを説明するための図である。

【図 9】

逆スキャンを行う表示装置を示す図である。

【図 10】

本発明の制御回路のデータ出力のタイミングチャートである。

【図 11】

本発明の制御回路のデータ出力のタイミングチャートである。

【図 12】

従来のアクティブマトリクス LCD 及びその制御回路を示す図である。

【図 13】

従来の 2 相表示の LCD 及びその制御回路を示す図である。

【図 1 4】

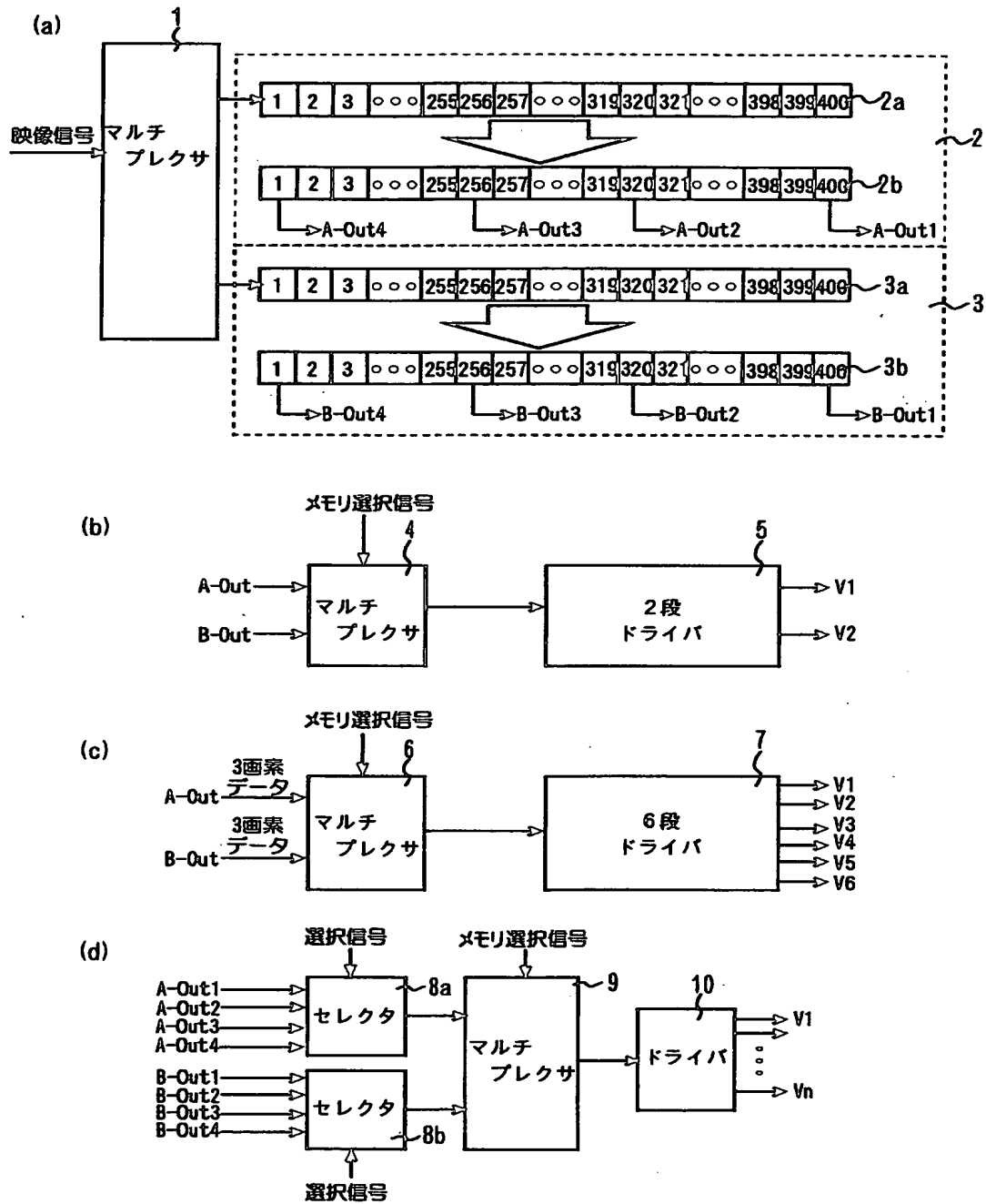
従来の水平 2 領域単相表示の L C D 及びその制御回路を示す図である。

【符号の説明】

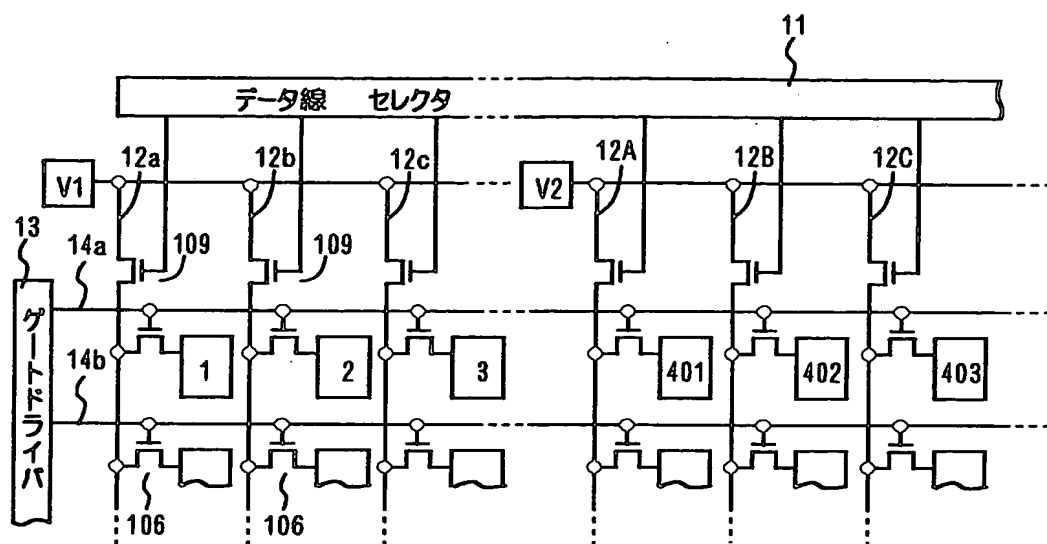
1, 4, 6 : マルチプレクサ、 2, 3, 2 2, 2 3, 2 4, 2 5 : メモリ部
2 a, 3 a : 書き込みラインメモリ、 2 b, 3 b : 読み出しラインメモリ
5, 7, 1 0 : ドライバ

【書類名】 図面

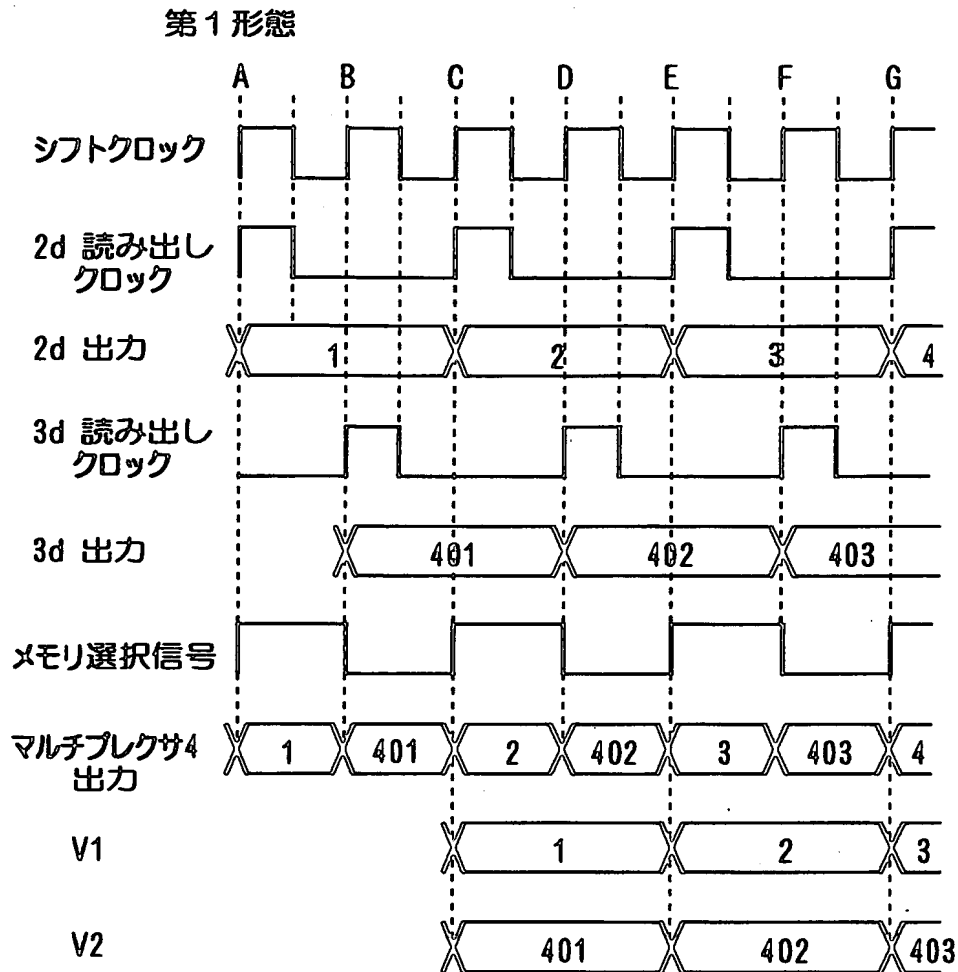
【図 1】



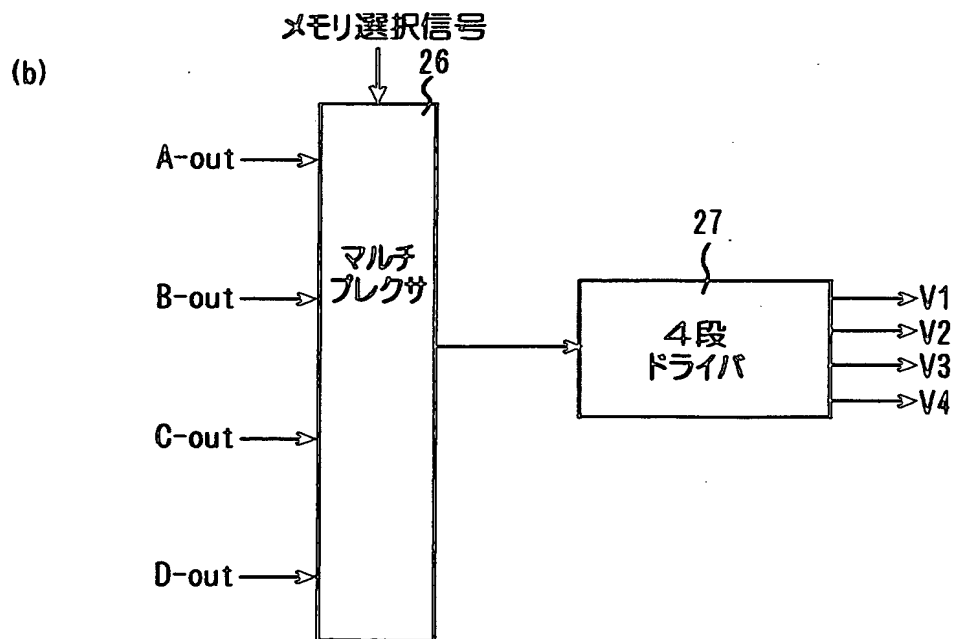
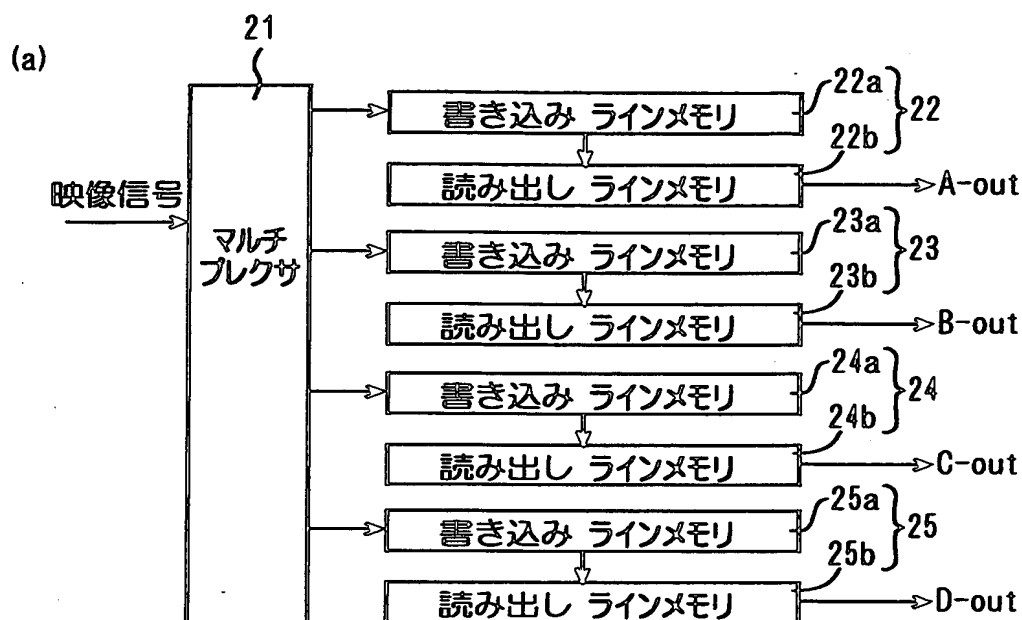
【図 2】



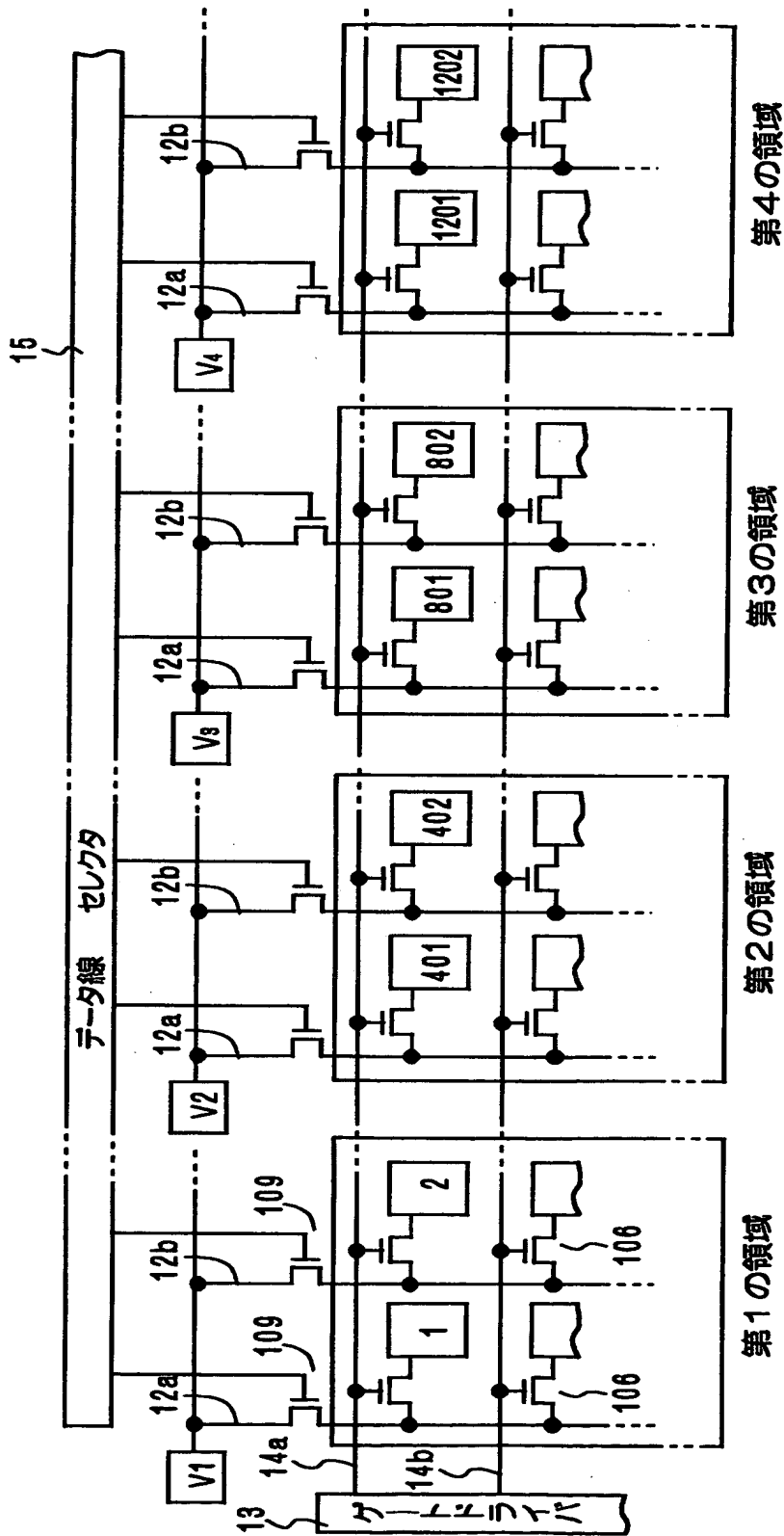
【図 3】



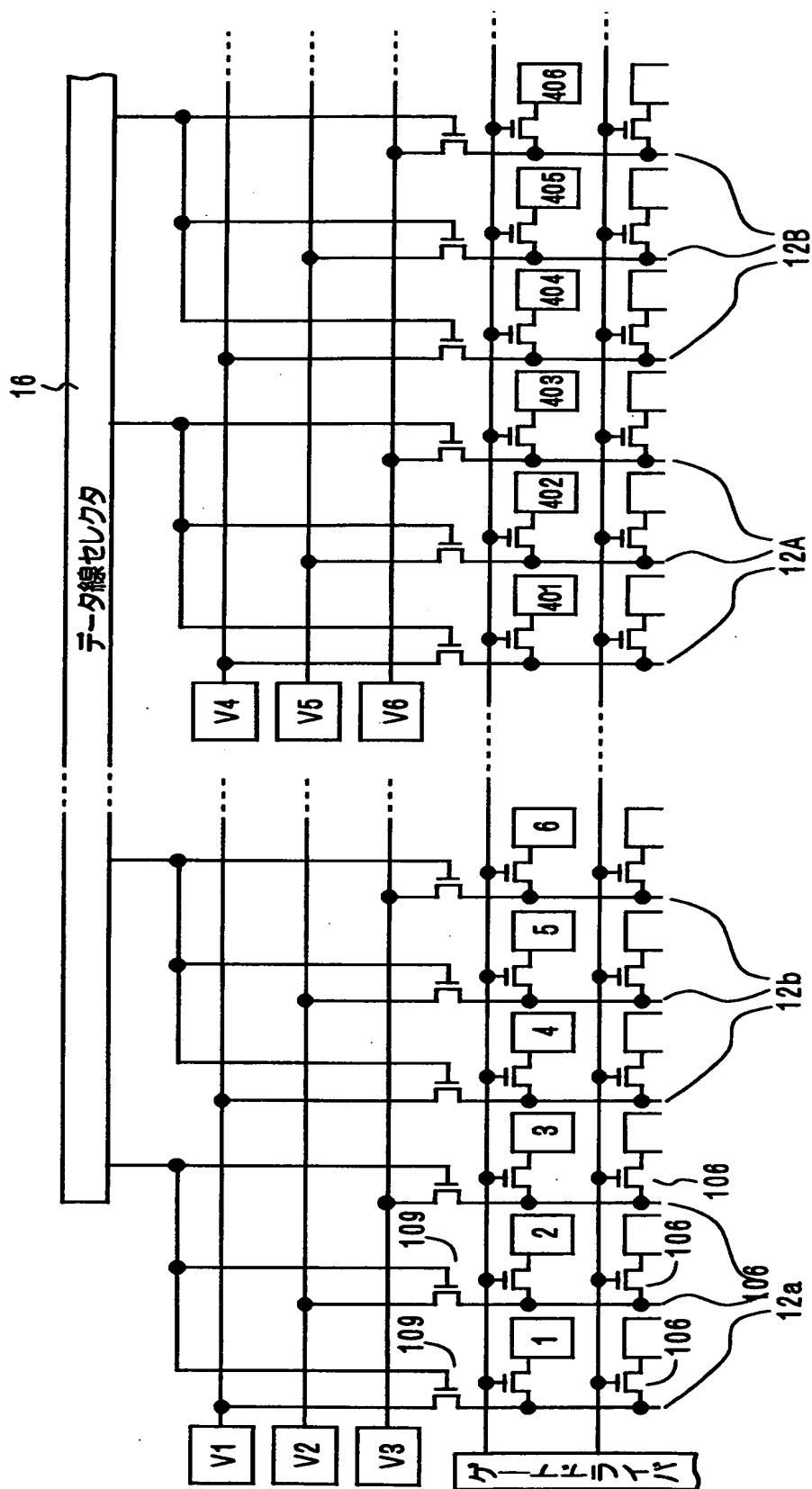
【図 4】



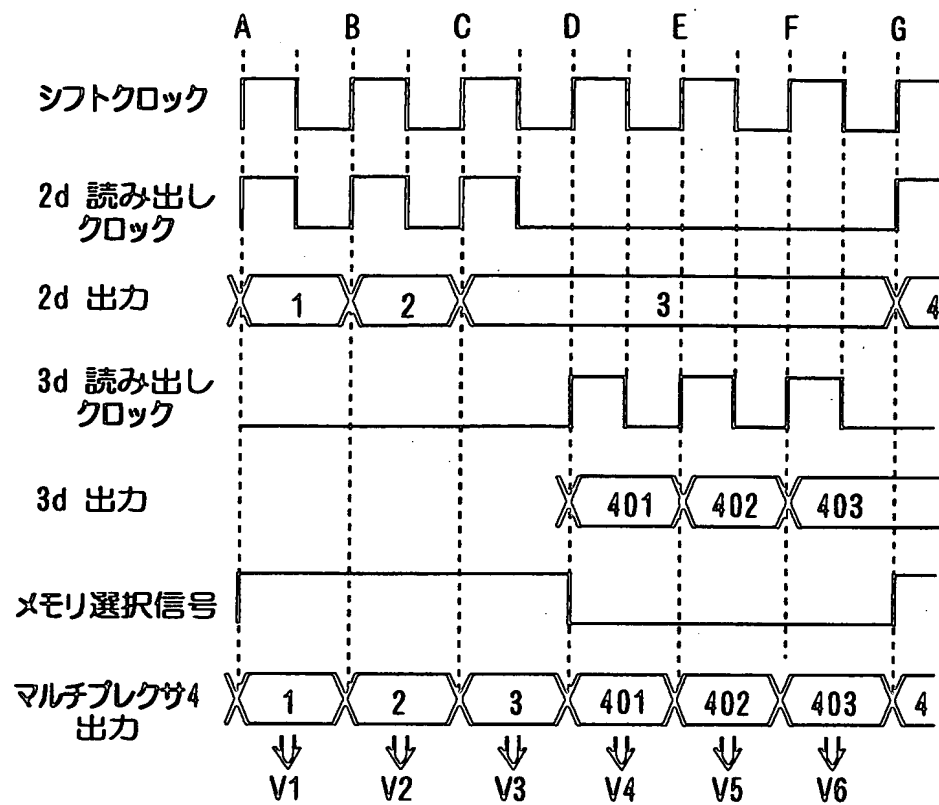
【図 5】



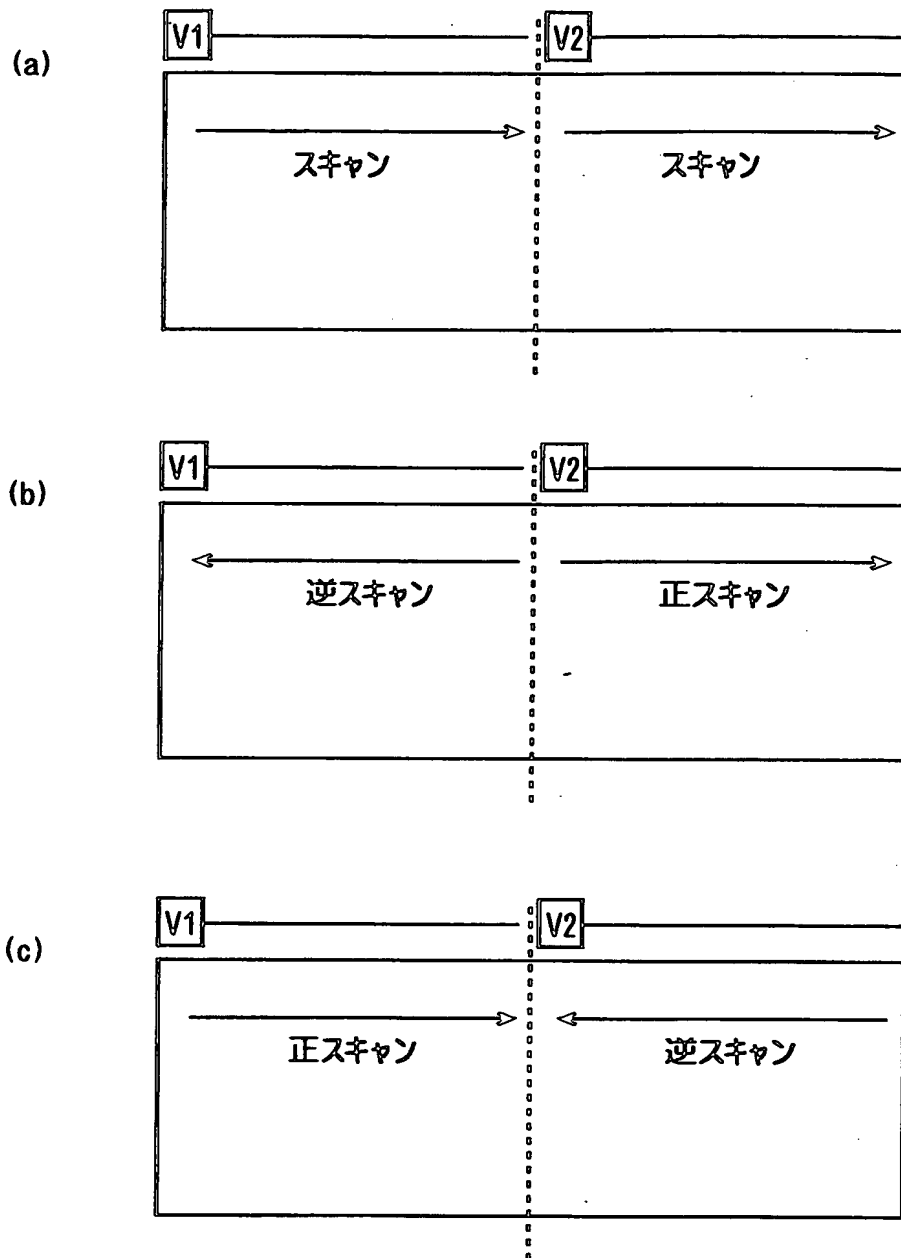
【図 6】



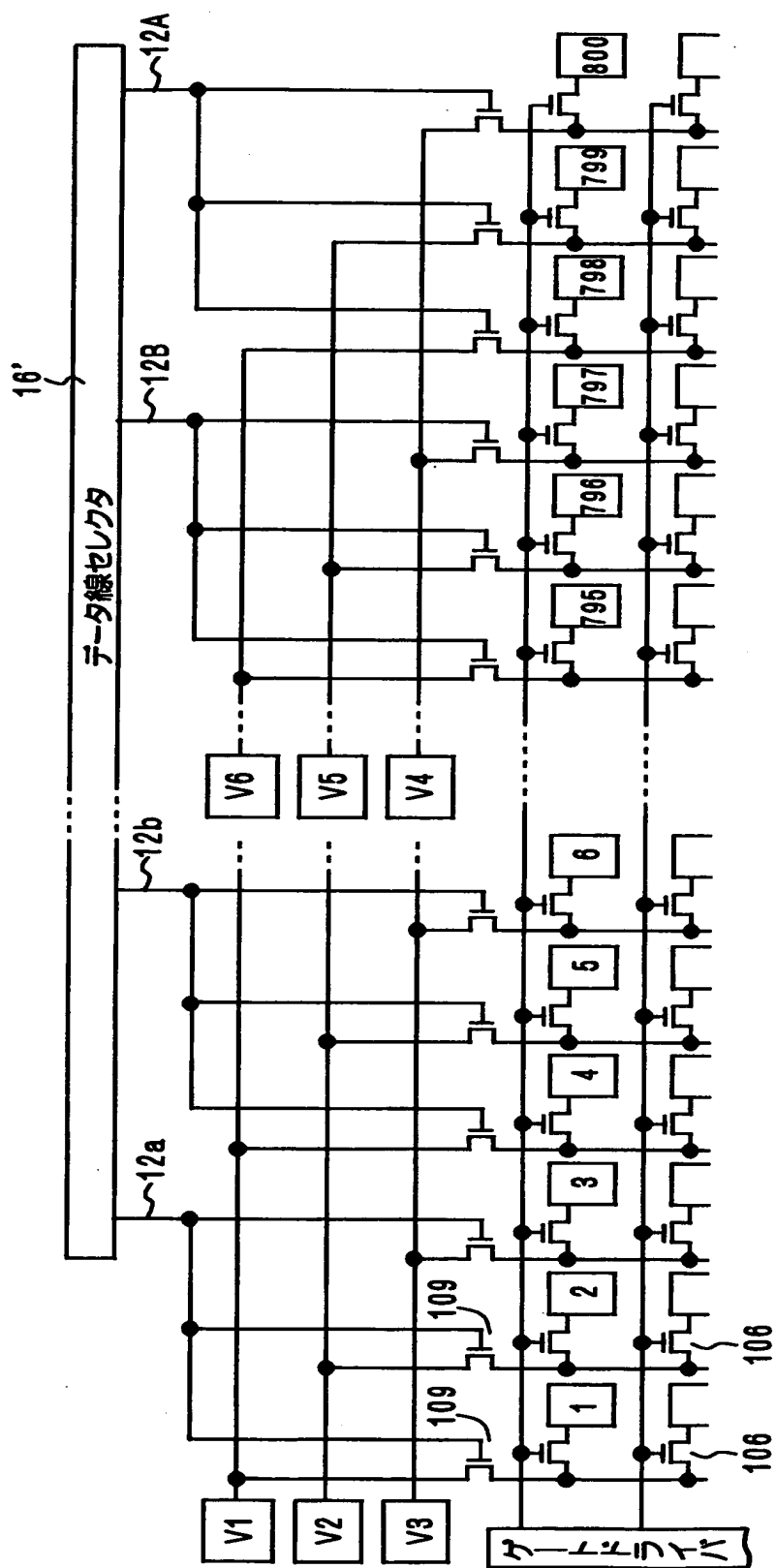
【図 7】



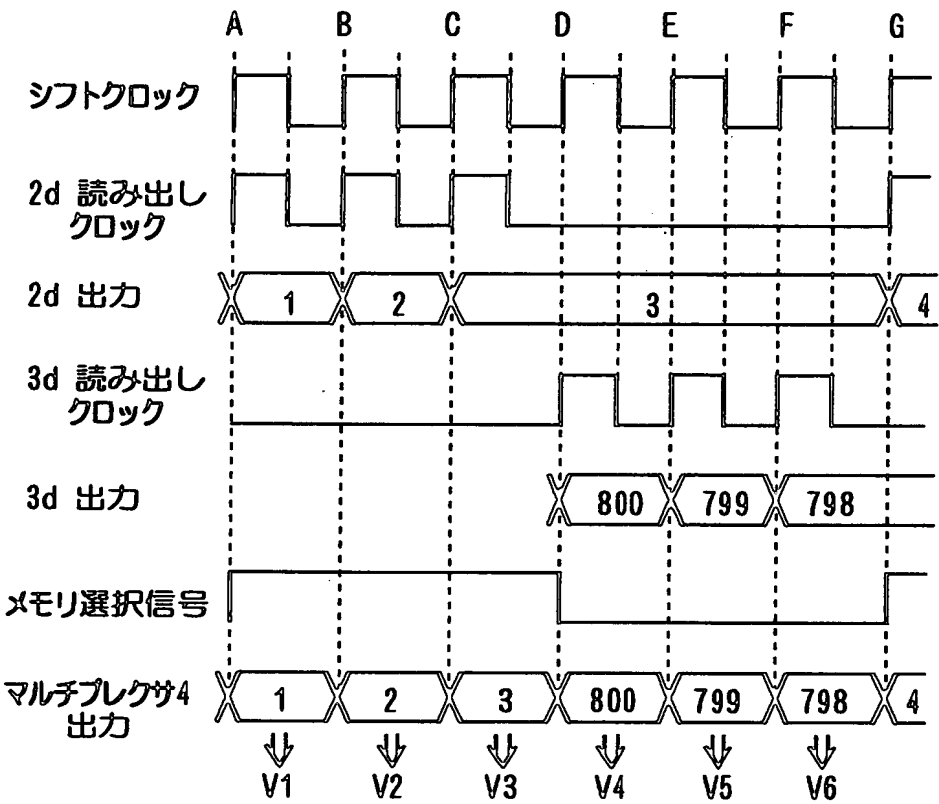
【図 8】



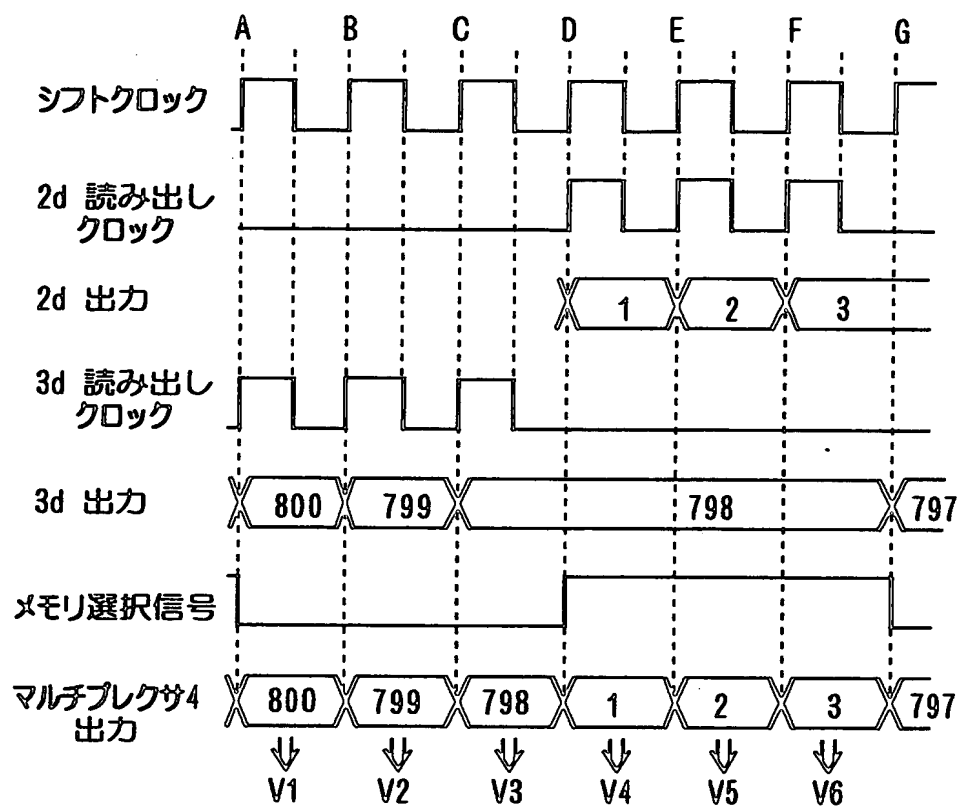
【図 9】



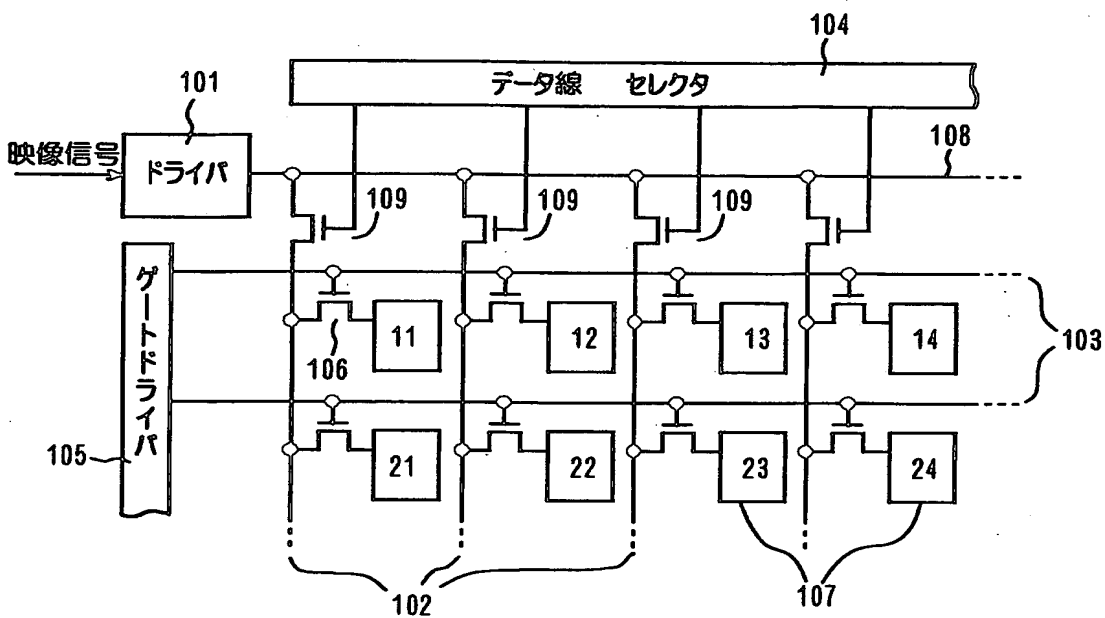
【図 1 0】



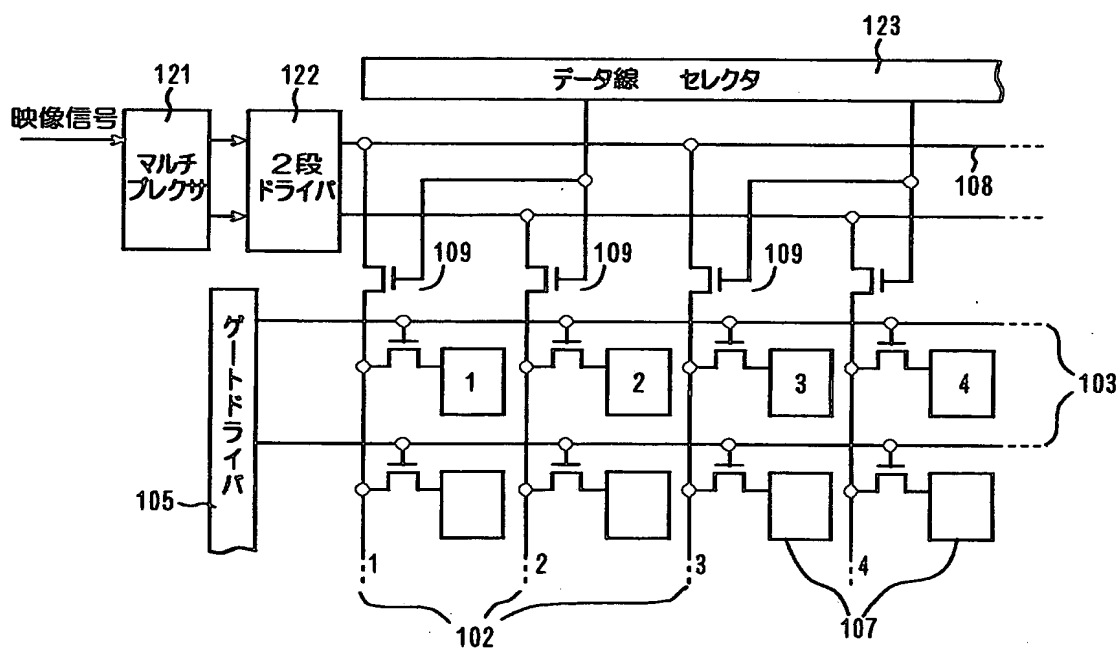
【図 1 1】



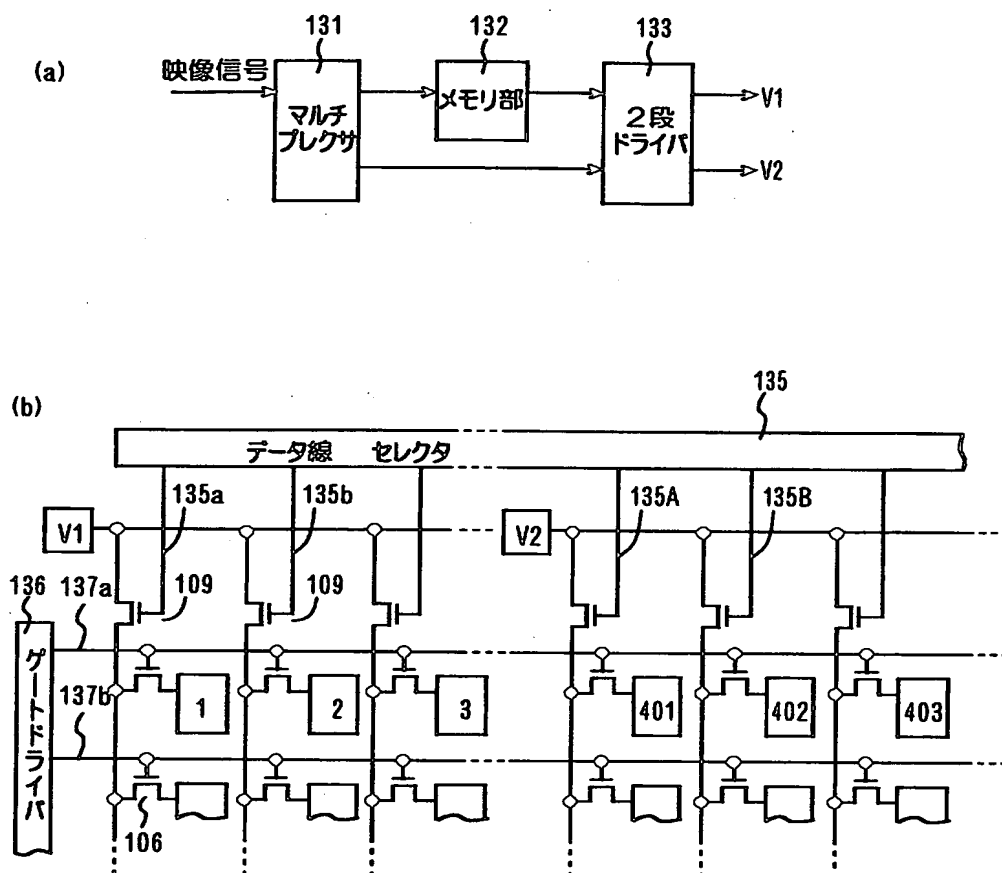
【図 12】



【図 13】



【图 14】



【書類名】 要約書

【要約】

【課題】 複数の画素数、複数の駆動方法の表示装置に対応できる汎用性の高い表示装置の制御回路を得る。

【解決手段】 映像信号をマルチプレクサ 1 によって分割制御する画面の領域毎に分割し、それぞれを複数のメモリ部 2、3 に一時保存する。メモリ部はシリアルに入力される書き込みラインメモリと、それがパラレルに転送される読み出しラインメモリを有し、読み出しラインメモリからはシリアルに出力される。複数のメモリ部の出力をドライバ 5 で変換し、表示装置が LCD であれば画素電圧として出力する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日 1993年10月20日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通2丁目5番5号
氏 名 三洋電機株式会社